

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 8 月 4 日 (04.08.2005)

PCT

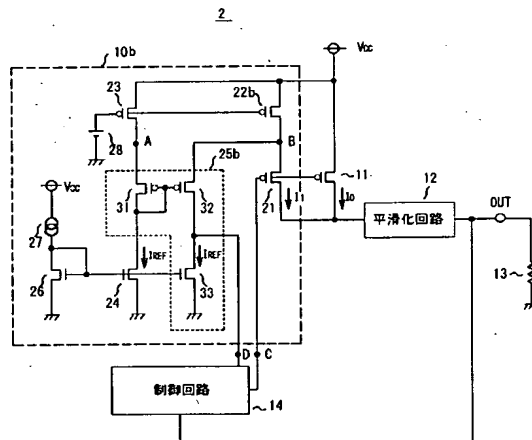
(10) 国際公開番号  
WO 2005/071511 A1

- (51) 国際特許分類<sup>7</sup>: G05F 1/56, 1/10, H02H 3/087 (74) 代理人: 藤河 恒生 (FUJIKAWA, Tsuneo); 〒5202153 滋賀県大津市一里山四丁目 9 番 8 2 号 こなん特許事務所 Shiga (JP).
- (21) 国際出願番号: PCT/JP2005/000605
- (22) 国際出願日: 2005 年 1 月 19 日 (19.01.2005) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-014988 2004 年 1 月 22 日 (22.01.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 北條 喜之 (HOJO, Yoshiyuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: OVERCURRENT DETECTING CIRCUIT AND REGULATOR HAVING THE SAME

(54) 発明の名称: 過電流検出回路及びそれを備えたレギュレータ



12 SMOOTHING CIRCUIT  
14 CONTROL CIRCUIT

(57) Abstract: An overcurrent detecting circuit that can suppress the variation of the overcurrent detection level when an input power supply voltage and/or temperature varies. The overcurrent detecting circuit (10b) comprises a monitor transistor (21) that has its control and output terminals connected to the respective control and output terminals of an output transistor (11); an output current detecting transistor (22b) that receives, at its control terminal, a detection bias voltage (28) and has its output terminal connected to an input terminal of the monitor transistor (21); a constant current source (24) for producing a reference current ( $I_{REF}$ ); a reference transistor (23) that receives, at its control terminal, the detection bias voltage (28) and flows, from its output terminal, the reference current ( $I_{REF}$ ) into the constant current source (24); and a comparator circuit (25b) that compares the voltage at the output terminal of the output current detecting transistor (22b) with the voltage at the output terminal of the reference transistor (23) to output a detection signal.

[続葉有]

WO 2005/071511 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 入力する電源電圧や温度が変動した場合の過電流検出レベルの変動を抑制することができる過電流検出回路を提供する。この過電流検出回路10bは、出力トランジスタ11の制御端及び出力端にそれぞれ制御端及び出力端が接続されるモニタ用トランジスタ21と、検出用バイアス電圧28を制御端に入力し、モニタ用トランジスタ21の入力端に出力端が接続される出力電流検出用トランジスタ22bと、基準電流 $I_{REF}$ を生成する定電流源24と、検出用バイアス電圧28を制御端に入力し、定電流源24に出力端から基準電流 $I_{REF}$ を流し込むリファレンス用トランジスタ23と、出力電流検出用トランジスタ22bの出力端の電圧とリファレンス用トランジスタ23の出力端の電圧を比較して検出信号を出力する比較回路25bと、を備えてなる。